

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

平1-114180

⑫ Int.Cl.⁴
H 04 N 7/137識別記号
A-6957-5C

⑬ 公開 平成1年(1989)5月2日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 画像データ処理システム

⑮ 特願 昭62-272285

⑯ 出願 昭62(1987)10月27日

⑰ 発明者 育木 昭夫 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑱ 発明者 長沢 健一 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑲ 出願人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

⑳ 代理人 弁理士 丸島 儀一

明細書

〔従来の技術〕

1. 発明の名称

画像データ処理システム

2. 特許請求の範囲

補間しようとする注目画素に対し画像の垂直方向に整列する複数の画素の補間前もしくは補間後のデータが並列に入力され、該複数の入力データ中2以上のデータを選択的に出力する選択手段と、該選択手段から出力される2以上のデータが入力され、補間データを出力する演算手段と、前記複数の画素の夫々についてのエラーフラグに係るデータが並列に入力され、前記選択手段を制御する制御データを出力する制御手段を具える画像データ処理システム。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は画像データ処理システム、特に符号誤りの発生に伴い、ライン間補間を行う画像データ処理システムに関するものである。

一般に画像信号は単位時間当たりの情報量が多く、これをデジタル信号として伝送しようとすると伝送ビットレートは極めて高くなる。そこでこの伝送ビットレートを低くするために様々な帯域圧縮技術が提案されている。この帯域圧縮技術の1つとしてDPCM等の予測差分符号化によりデータ量を削減する手法が知られている。例えばフィールド内前値予測DPCM等の簡易な予測法はハードウェア的にも簡易であるにも係らず、比較的大きなデータ圧縮率が得られるため有効な手法であるといえる。

一方、上述の如きデータを伝送路を介して伝送した場合、種々の要因にて符号誤りが生じることが知られている。特に伝送路として磁気記録再生系を想定した場合、記録媒体上のキズ、ヘッドの目づまり等によるドロップアウトの発生に伴い誤り訂正の不能な大きな符号誤りが発生し易い。誤り訂正が不能な場合には一般に画像の相關性を用いてデータの補間を行うことになるが、このデー

BEST AVAILABLE COPY

特開平1-114180(2)

タ補間についても様々な手法が提案されている。

[発明が解決しようとする問題点]

ところでデータ補間については、前後の数画素を利用して高次の演算を行い、最適な補間データを算出することが考えられている。しかしながら、この手法は補間しようとする画素が連続して発生する場合には効果が小さい。

一方、予測符号化を行いデータを伝送する場合には、1つのデータが誤り訂正不能になると、このデータに基いて復号される全てのデータに誤りが発生する所謂誤りの伝播が生じるため、補間をしようとする画素が画像の水平方向に連続することが多い。

補間しようとする画素に対し水平方向に並ぶ画素のデータが連続して信頼性のないデータであれば、画像の垂直方向の相關性を利用して補間データを作成することになる。画像の垂直方向の相關性を利用して補間についても、前ラインの画素による置換、前後ラインの画素による線形補間等が考えられている。しかし、複数ラインに渡って連

[作用]

上述の如く構成することにより、前後数ラインの画素の誤り発生状態に応じて、選択手段の出力するデータが決定されるので、補間方法を適応的に切換えることができる。これに伴い適宜最も好適なる補間データが得られ、良好な画像を得ることができる。

[実施例]

以下、本発明の実施例について説明する。

第1図は本発明の一実施例としての補間回路の構成を示す図であり、図中1は補間処理前の画像データが供給される端子、11は端子1に入力されている画像データが誤りであるか否かを示す1ビットのエラーフラグが入力される端子である。2, 3, 4, 5, 12, 13, 15, 16は夫々入力されたデータを1水平走査期間(1H)遅延する1H遅延線(1HDL)である。

本例では符号誤りの生じていない画素のデータについては、1HDL2, 3、スイッチ9のB側端子を介してそのまま出力される。即ち、1HDL12,

接して補間すべきデータが発生した場合には対応がとれないものであった。

本発明は上述の如き問題点に鑑み、画像の垂直方向の相關性を利用するライン間補間の手法を改良し、水平方向の相關性を利用して補間が行えない場合でも良好な補間データを形成することのできるデータ処理システムを提供することを目的とする。

[問題点を解決するための手段]

かかる目的下に於いて本発明のデータ処理システムでは、補間しようとする注目画素に対し画像の垂直方向に整列する複数の画素の補間前もしくは補間後のデータが並列に入力され、該複数の入力データ中2以上のデータを選択的に出力する選択手段と、該選択手段から出力される2以上のデータが入力され、補間データを出力する演算手段と、前記複数の画素の夫々についてのエラーフラグに係るデータが並列に入力され、前記選択手段を制御する制御データを出力する制御手段を具える構成としている。

13を介してROM(リードオンリメモリ)14に入力されているエラーフラグが「0」(符号誤りが生じていないことを示す)の場合には、ROM14から出力される制御信号S3によりスイッチ9はB側に接続される。一方、1HDL13から出力されるエラーフラグが「1」の場合には、制御信号S3はスイッチ9をA側に接続せしめ、補間データを端子10に出力する。補間データとしてはスイッチ6で選択されたデータと、スイッチ7で選択されたデータとを平均値演算回路8に供給して得たこれらの平均値のデータを用いる。この補間データは1HDL4に入力される。

従って、1HDL3の出力している画素(以下注目画素と称す)のデータに対し、1HDL2, 1HDL3への入力データは2ライン下、1ライン下に位置する画素のデータであり、1HDL4, 1HDL5からの出力データは注目画素の1ライン上、2ライン上に位置する画素のデータとなる。スイッチ6, 7はこれら4つのデータをROM14の出力する制御信号S1, S2に従い逐一的に出力する構成となってい

BEST AVAILABLE COPY

特開平1-114180(3)

る。

他方、IHDL12, IHDL13への入力は注目画素の2ライン下、1ライン下に位置する画素に関するエラーフラグである。またIHDL15, IHDL16の出力データは注目画素の1ライン上、2ライン上の画素の出力状態を示す2ビットデータである。この2ビットデータは、ROM14により発生され、例えばエラーフラグが「1」の場合に補間により良好なデータが得られた場合と、補間が不能であった場合とを区別することができる。

ROM14はこれら5系統7ビットの入力データ及び後述するY/C識別データを受けて、所定の論理によって定められた制御信号S1, S2, S3を出力する。S1, S2は夫々2ビット、S3は1ビットのデータである。これらのデータと共にROM14は注目画素の出力状態を示す2ビットデータを出力する。

本実施例に於いて端子1に入力される画像データは輝度信号のデータと、線順次色差信号のデータとを1H単位で時分割多重したデータであるとして

この画素のエラーフラグが「0」である場合は、S1, S2はスイッチ6, 7を共にb端子に接続して、注目画素の上に隣接する画素のデータそのものを補間データとするのが好ましい。

この様に、画像の垂直方向に整列する画素についてのエラーフラグの発生パターンを検討し、所望する画像を設定することにより、ROM14の入出力の関係を決定すれば、所望の設計条件に応じた理想的なライン間補間が行える。

上述した実施例の構成によれば、ライン間補間を適応的に行うことができ、ライン間補間のみでも良好な補間データの作成が可能となった。また入力信号として輝度信号と線順次色差信号を1H単位で時間軸多重した所謂TCI信号が入力された場合に於いても、いずれの信号に対しても適応的に補間データを生成することができる。そのため輝度信号と線順次色差信号とで別の補間回路を設ける必要がなく、全く同じ回路を兼用できる。更に、平均値補間、前置補間をスイッチ6, 7の制御により選択でき、加算器8以上の回路構成を極めて簡略

いる。ここで線順次色差信号を補間する場合には上下に隣接する画素については種類が異なるため相間がなく、補間データの演算に用いることができない。従って輝度信号と線順次色差信号とで補間データの演算式を変化させる必要があるため、ROM14には出力しようとするデータが輝度信号であるか線順次色差信号であるかを示すY/C識別用の1ビットデータが入力されている。

次に上記回路の具体的な動作について例をとつて説明する。

注目画素のエラーフラグが「1」で、その上下に隣接する画素のエラーフラグが「0」である場合には、上下画素による線形補間が可能であるので、スイッチ6をb, スイッチ7をc端子に接続するべくS1, S2のデータを決定し、スイッチ9はA側に接続する。また、IHDL15にはエラーフラグは「1」であるが補間データが得られた旨を示す2ビットデータを供給する。

また、注目画素及びその1ライン下、2ライン下の画素のエラーフラグが全て「1」で、1ライン上

尚、上記実施例に於いては注目画素を含む前後5ラインの画素を補間データの生成に用いる構成としたが、必要に応じてこのライン数は任意に決定できる。

【発明の効果】

以上説明した様に本発明のシステムによれば、ライン間補間のみを用いて良好なデータ補間を行うことができ、予測符号化等誤りの水平方向の伝播を伴う符号化を施したデータの補間に對して極めて有益なものである。

4. 図面の簡単な説明

第1図は本発明の一実施例としての補間回路の構成を示す図である。

図中、2, 3, 4, 5, 12, 13, 15, 16は夫々1水平走査期間遅延線、6, 7, 9は夫々スイッチ、8は平均値演算回路、14はリードオンリメモリである。

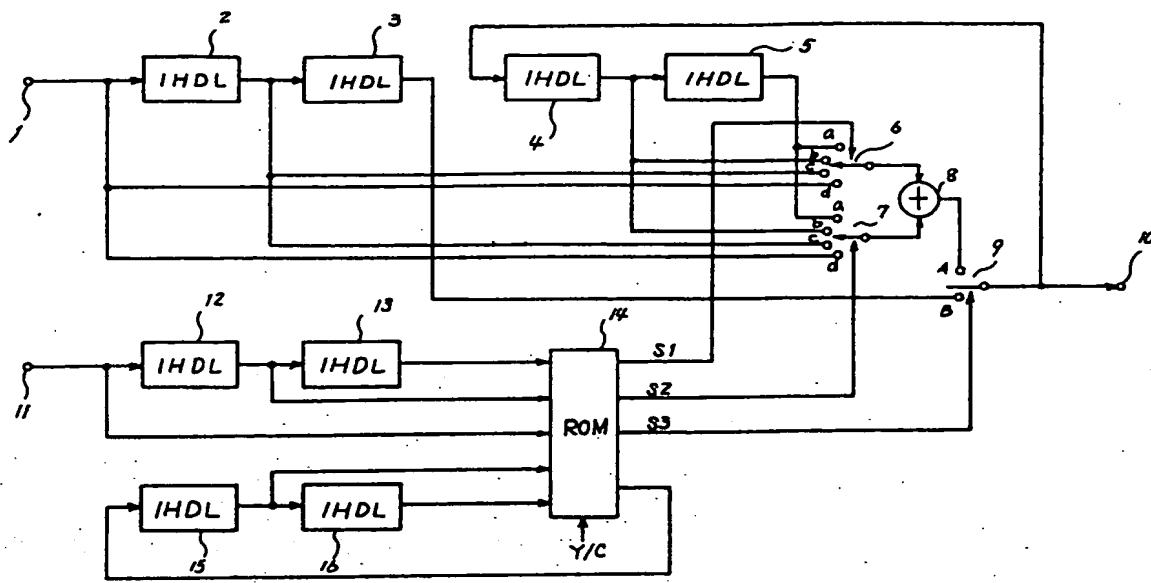
出願人 キヤノン株式会社

代理人 丸島儀一



BEST AVAILABLE COPY

特開平1-114180(4)



第 1 図